

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets

(11) Numéro de publication : **0 549 412 A1**

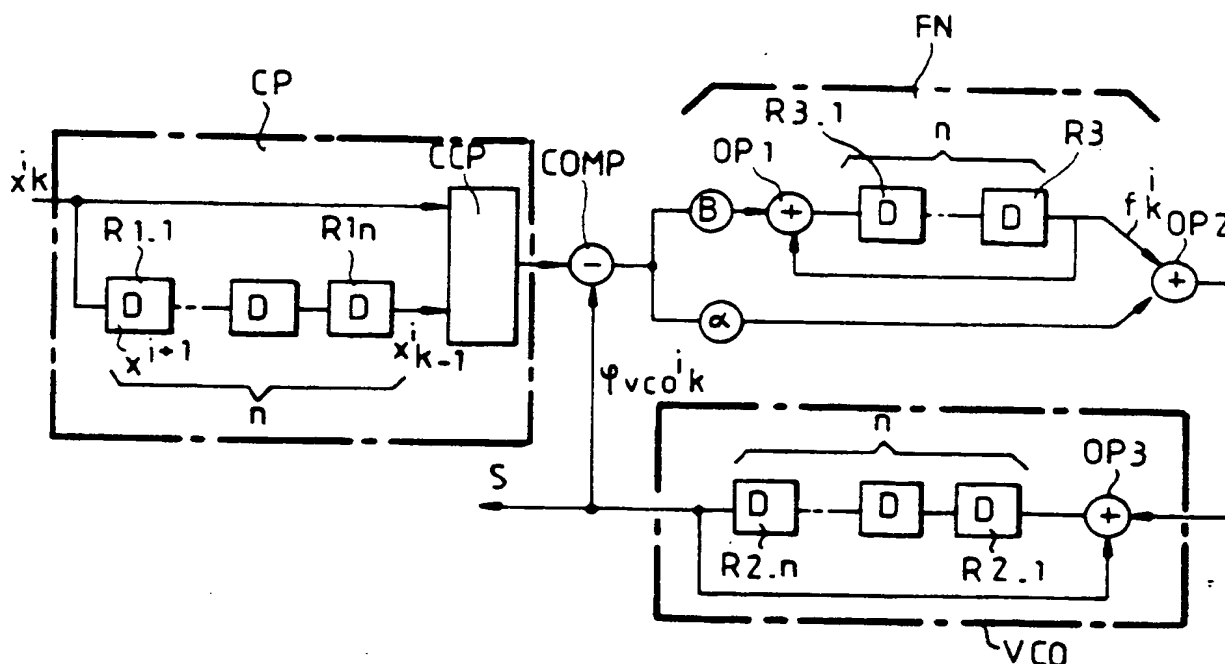
(12)

DEMANDE DE BREVET EUROPEEN(21) Numéro de dépôt : **92403413.5**(51) Int. Cl.⁵ : **G11B 20/14, H03L 7/06**(22) Date de dépôt : **15.12.92**(30) Priorité : **23.12.91 FR 9116046**(43) Date de publication de la demande :
30.06.93 Bulletin 93/26(84) Etats contractants désignés :
DE GB NL(71) Demandeur : **THOMSON-CSF**
51, Esplanade du Général de Gaulle
F-92800 Puteaux (FR)(72) Inventeur : **Colineau, Joseph c/o**
Thomson-CSF, SCPI
50, rue J.P. Timbaud
F-92403 Courbevoie Cedex (FR)
Inventeur : **Audoin, Michel c/o Thomson-CSF,**
SCPI
50, rue J.P. Timbaud
F-92403 Courbevoie Cedex (FR)(74) Mandataire : **Guérin, Michel et al**
THOMSON-CSF, SCPI, B.P. 329, 50, rue
Jean-Pierre Timbaud
F-92402 Courbevoie Cédex (FR)(54) **Circuit d'horloge pour système de lecture d'informations séquentielles.**

(57) Circuit d'horloge pour lecture d'informations séquentielles comportant une boucle à verrouillage de phase pour la commande de l'oscillateur commandé.

Dans le cas d'un système de lecture à n pistes, le circuit de calcul de phase (CP), le filtre numérique (FN) et l'oscillateur commandé (VCO), comportent chacun autant de mémoires (circuits à retard $R_{1.1}$, ... $R_{2.1}$, ... $R_{3.1}$, ...) qu'il y a d'échantillons d'informations (ou pistes d'informations) à traiter quasi-simultanément.

Application : Lecture de supports d'enregistrement haute densité.

**FIG.3**

Jouve, 18, rue Saint-Denis, 75001 PARIS

EP 0 549 412 A1

L'invention concerne un circuit d'horloge pour système de lecture d'informations séquentielles. Elle est applicable par exemple à la lecture d'informations enregistrées sur bande magnétique, sur disques magnétiques ou sur disques optiques, notamment dans les périphériques informatiques.

5 Dans un enregistreur numérique, le décodage des informations binaires passe par la régénération du signal de référence temporelle (horloge) qui a servi à l'enregistrement des informations. Cette horloge est le plus souvent réalisée par un oscillateur (VCO : voltage controlled oscillator) inséré dans une boucle à verrouillage de phase (PLL : phase locked loop) qui se synchronise sur les transitions du signal de lecture.

10 Dans un enregistreur multipiste, il est possible d'utiliser une seule horloge reconstruite pour l'ensemble des pistes, à condition que la synchronisation entre toutes les pistes inscrites sur la bande soit conservée. Ceci suppose que les têtes d'enregistrement et les têtes de lecture soient alignées, et que la bande ne se déforme pas. Si ces conditions ne sont pas strictement respectées, les références temporelles des diverses pistes se décalent les unes par rapport aux autres (phénomènes de glissement ou "skew"). Il est possible de compenser les défauts de skew s'ils ne sont pas trop importants.

15 Dans les autres cas, et en particulier dans les enregistreurs réalisant une haute densité d'informations selon le sens longitudinal de lecture du média d'enregistrement, et comportant un grand nombre de pistes parallèles, il est impossible de maintenir le skew suffisamment faible pour pouvoir le compenser sur l'ensemble des pistes. Il est alors nécessaire de réaliser un circuit de régénération d'horloge indépendant pour chaque piste, ce qui conduit à avoir un grand nombre de circuits.

20 L'invention a pour but de diminuer ce nombre de circuits d'horloge. Selon l'invention la réalisation numérique du régénérateur d'horloge permet, avec un seul ensemble d'opérateurs, de réaliser les opérations nécessaires séquentiellement sur un grand nombre de pistes, conduisant à une simplification importante de l'électronique. L'invention tire profit des corrélations qui existent entre les horloges de chacune des pistes.

Ce circuit séquentiel selon l'invention permet d'améliorer sensiblement les performances de l'ensemble du système.

25 L'invention a pour objet un circuit d'horloge pour système de lecture d'informations séquentielles pour la lecture de plusieurs séries d'informations enregistrées selon sensiblement une même période, sur plusieurs moyens d'enregistrement et nécessitant pour la lecture une période d'échantillonnage déterminée, caractérisé en ce qu'il comprend :

- 30 - un circuit de calcul de phase recevant les informations lues et calculant la phase de chaque signal à partir de la lecture de deux échantillons successifs d'une même série d'informations et fournissant un signal de phase calculé, le circuit étant connectable sélectivement à différents moyens d'enregistrement ;
- un circuit de comparaison de phase recevant chaque signal de phase calculé et le comparant à un signal d'oscillateur et fournissant un signal d'erreur ;
- 35 - un filtre numérique recevant le signal d'erreur de phase le filtrant et fournissant un signal de contrôle d'oscillateur ;
- un oscillateur numérique dont la fréquence et la phase sont contrôlée par le signal de contrôle d'oscillateur et fournissant un signal d'oscillateur, cet oscillateur numérique comportant un élément mémoire par série d'informations auxquelles est connectable le circuit de calcul de phase.

40 Les différents objets et caractéristiques de l'invention apparaîtront plus clairement dans la description qui va suivre faite à titre d'exemple et dans les figures annexées qui représentent :

- la figure 1a, un schéma de principe d'une bande à verrouillage réalisée sous forme analogique ;
- la figure 1b, un schéma de principe d'une boucle à verrouillage de phase numérique ;
- 45 - la figure 2, un exemple de réalisation détaillé d'un circuit de poursuite de phase tel qu'utilisé dans l'invention ;
- les figures 3, 4 et 6, des exemples de réalisation du circuit de l'invention ;
- la figure 5, une organisation de tête de lecture et d'inscription sur bande d'enregistrement.

50 Le circuit de la figure 2 comporte une entrée de lecture x_i sur laquelle arrivent de façon séquentielle les informations d'une piste enregistrée. Par exemple, cette piste enregistrée peut être une piste d'une bande d'enregistrement.

Un circuit de calcul CP de la phase du signal reçoit les informations lues et calcule la phase du signal à partir des valeurs de deux échantillons successifs lorsqu'ils sont de signes opposés. Pour cela un circuit R1 mémorise une information lue et un circuit de calcul CCP calcule la différence de phase entre l'instant de détection d'un signal et l'instant de détection d'un signal suivant.

55 Une boucle à verrouillage de phase comportant un circuit de comparaison de phase COMP compare la phase entre la phase calculée du signal et celle d'un oscillateur numérique VCO.

Un filtre numérique FN filtre le signal d'erreur de phase et élabore un signal de contrôle de l'oscillateur.

L'oscillateur numérique VCO délivre sur la sortie S un signal dont la fréquence et la phase sont contrôlées

par le signal filtré du filtre numérique FN. Les circuits OP1, OP2, OP3 sont des opérateurs additionneurs. Le rôle du circuit de la figure 2 est d'élaborer, pour chaque nouvel échantillon de signal x_k , une estimation de la phase de cet échantillon, la référence de phase étant l'horloge bit (oscillateur VCO), c'est-à-dire les instants théoriques de transition. Lorsqu'il y a une transition du signal, le circuit de calcul de phase peut délivrer une valeur mesurée de la phase du signal, et après filtrage, cette nouvelle valeur sert à actualiser l'estimation de phase.

L'algorithme proposé pour ajuster l'instant de décision optimal ou pour suivre la phase du signal à démoduler (dans le récepteur) est connu. Il est basé sur les équations suivantes :

$$\begin{cases} \phi_{vco}(k+1) = (\phi_{vco}(k) + \alpha \Delta \phi(k) + 2\pi T_e f(k))_{2\pi} \\ f(k+1) = f(k) + \frac{\beta \Delta \phi(k)}{2\pi T_e} \\ \Delta \phi(k) = (\phi_{signal}(k) - \phi_{vco}(k))_{2\pi} \end{cases}$$

avec T_e : période d'échantillonnage fixe du système.

Si l'on normalise la fréquence et la phase, ce système d'équations peut être écrit plus simplement :

$$\begin{cases} \phi_{vco}(k+1) = (\phi_{vco}(k) + \alpha \Delta \phi(k) + f(k))_1 \\ f(k+1) = f(k) + \beta \Delta \phi(k) \\ \Delta \phi(k) = (\phi_{signal}(k) - \phi_{vco}(k))_1 \end{cases}$$

La phase future du signal est prédite en fonction de la phase actuelle de l'oscillateur, de sa période d'horloge, et d'une erreur de phase pondérée entre le signal d'entrée et l'oscillateur. La correction de l'écart de phase n'est appliquée que lorsqu'une mesure de la phase du signal est disponible ; sinon la phase de l'oscillateur est maintenue à une période près.

Ces équations décrivent le fonctionnement d'une boucle à verrouillage de phase numérique du second ordre constituée par un oscillateur commandé (VCO) fournissant un signal de fréquence $f(k)$ et de phase $\phi_{vco}(k)$ entre le signal du VCO et un signal de référence (noté F_{signal} ou F_s).

α et β sont des coefficients de pondération ajustant le poids de la dernière mesure effectuée et sont appelés paramètres de boucle. Les schémas blocs de boucles à verrouillage de phase analogique et numérique sont présentés en figures 1a et 1b.

Sur la figure 2, les différents circuits comportent des circuits à retard R1, R2, R3 qui ont pour temps de retard la période d'échantillonnage D du signal à lire. Selon cet exemple de réalisation, le support d'enregistrement étant une bande magnétique, on a un circuit tel que celui de la figure 2 par piste d'enregistrement.

La phase du signal est calculée à partir de la valeur de deux échantillons successifs lorsqu'il y a un changement de signe entre ces deux échantillons. Le calcul est fait à partir d'une ROM selon la technique "loop-up table".

Dans un système multipiste, n pistes sont lues simultanément. Selon le mode de réalisation et de mise en oeuvre du système de lecture, n échantillons correspondant aux n pistes lues sont disponibles simultanément à chaque instant d'échantillonnage, ou délivrés successivement pendant la durée de la période d'échantillonnage.

Le circuit de la figure 2 est applicable à un système multipistes ou plus généralement à un système à n pistes indépendantes. Pour cela, on le fera travailler successivement sur les échantillons de données correspondant à chacune des n pistes, dans leur ordre d'arrivée. Afin d'effectuer aux instants $i+kn$ l'ensemble des opérations décrites par l'algorithme pour la piste i, on doit présenter à l'entrée des opérateurs, à ces instants, les grandeurs qu'il est nécessaire de conserver en mémoire, soit (x_k, ϕ_k, f_k) .

La figure 3 représente un exemple de réalisation dans lequel le support d'enregistrement comporte plusieurs pistes d'informations en parallèle.

Au lieu de prévoir un circuit d'horloge par piste, on prévoit un circuit d'horloge pour un nombre n de pistes.

Dans ce cas, chaque circuit à retard R1, R2, R3 est en fait un ensemble de n circuit à retard (correspondant au nombre n de pistes). En effet, les n pistes sont lues quasi simultanément et il s'agit d'affecter un signal d'horloge à chaque piste. Plus précisément, le circuit de calcul de phase CP est connecté sélectivement et

successivement par des moyens de commutation non représentés au circuit d'entrée x_k .

Les circuits à retard constituent des registres à décalage de longueur n , ou des buffers circulaires réalisés à partir de RAM, permettant de conserver les résultats intermédiaires de chacune des n pistes à traiter. A l'instant $i+kn$, les grandeurs $\phi_{k-1}^i x_k^i x_{k-1}^i$ correspondant à la piste i sont présentes aux entrées des opérateurs, et permettent l'estimation de ϕ_{k+1}^i et f_{k+1}^i . Un instant plus tard, la piste $i+1$ est traitée. Après n coups d'horloge, on traite à nouveau la piste i .

La boucle de phase précédemment décrite est du second ordre puisqu'elle estime deux paramètres du signal (fréquence et phase). L'estimation de la fréquence est rendue délicate par la grande précision requise. Compte tenu du rapport signal à bruit faible que l'on trouve typiquement dans un enregistreur à haute densité, le coefficient β est petit (typiquement $5 \cdot 10^{-3}$), ce qui conduit à des calculs sur 16 ou 24 bits. Ceci entraîne également une phase d'accrochage (période transitoire au démarrage du processus) longue et délicate. Pour ces raisons, beaucoup de circuits d'horloge utilisés en enregistrement sont simplement des filtres du premier ordre.

Si l'on considère que la fréquence du signal est proportionnelle à la vitesse de la bande, et si les têtes sont alignées, alors la fréquence instantanée est sensiblement la même sur chacune des pistes. On peut alors améliorer sensiblement l'estimation de la fréquence sur une piste en la remplaçant par la moyenne des estimations faites sur l'ensemble des pistes. Ainsi, si l'on moyenne les résultats de n pistes indépendantes, le rapport signal à bruit pourra être amélioré de \sqrt{n} .

Comme cela est représenté en figure 4, le circuit est modifié de façon qu'un même registre mémoire R3 est utilisé pour stocker la fréquence de chacune des n pistes, réalisant ainsi une moyenne des n estimations individuelles de la fréquence.

Cette solution présente les avantages suivants :

- la fréquence est estimée avec une plus grande précision, ce qui conduit à une augmentation du gain et/ou de la bande passante de la boucle ;
- la phase d'accrochage est plus rapide, et la tenue en l'absence momentanée de signal sur une piste est améliorée, puisque l'ensemble des pistes contribuent à l'estimation. La probabilité que la plupart des pistes soit en défaut est très faible ;
- il est possible de sécuriser le système multipiste en dédiant une piste au contrôle de la vitesse, par l'enregistrement sur cette piste d'un signal à fréquence fixe, ou d'un code à fort contenu d'horloge (par exemple FM ou biphasé) qui servira par ailleurs de piste de contrôle (enregistrement de time-code ou d'autres signaux de service) ;
- il devient possible d'utiliser des codes sans contrainte de longueur maximale sans transition (maximum run-length codes) : par exemple NRZ scramblé, ou d'utiliser des codes à fenêtre temporelle étroite : par exemple les codes Run Limited Length (RLL) de type (d, k) $(1, x)$.

La figure 5 représente un exemple d'un enregistreur à têtes statiques, où les deux têtes n'ont pas la même géométrie : ici, la tête d'écriture INS a une géométrie "matricielle" c'est-à-dire que les entrefers sont disposés selon m lignes de n têtes, alors que la tête de lecture LEC a tous ses entrefers disposés en ligne. On ne peut alors considérer que la fréquence instantanée du signal n'est la même que pour les pistes dont les têtes d'écriture appartiennent à la même ligne verticale. On devra donc dans ce cas effectuer m estimations de la fréquence, pour les m groupes de n têtes. Ceci est obtenu grâce à un registre à décalage de m états. Bien entendu cette méthode est applicable au cas où la tête de lecture a aussi une structure matricielle.

La solution décrite ici, consistant à ne mettre en commun les estimations de fréquence des diverses pistes que lorsqu'elles sont proches s'étend aux cas où par suite du grand nombre de pistes et de la haute densité d'enregistrement, on ne peut plus considérer que la fréquence du signal est rigoureusement la même d'un bord à l'autre de la bande. Dans ce cas, on séparera les pistes par groupes présentant des caractéristiques voisines, et on utilisera autant de cases mémoires que de groupes à traiter distinctement.

Cette structure peut être utilisée dans bon nombre de circuits numériques multicanaux, lorsque des paramètres à estimer sont commun aux diverses voies.

La description qui précède n'a été faite qu'à titre d'exemple en application à la lecture d'informations sur bande. Cependant, le circuit de l'invention peut être utilisé dans tout autre type d'applications pour la lecture d'informations séquentielles (numériques notamment).

Dans ces types d'applications, il s'agira de préférence d'avoir à lire des informations dont certains paramètres à estimer sont communs aux différentes voies. Par ailleurs, les exemples de réalisation ne sont donnés que pour illustrer la description et d'autres variantes peuvent être envisagées sans sortir du cadre de l'invention, notamment dans les figures décrites, on a utilisé des circuits à retard mais on aurait pu utiliser des mémoires.

Egalement, pour l'entrée du circuit de calcul de phase CCP, il importe peu que les échantillons de signaux x_k proviennent directement (et séquentiellement) du support d'enregistrement ou qu'ils proviennent de mémoires intermédiaires où elles ont été enregistrées simultanément.

Revendications

1. Circuit d'horloge pour système de lecture d'informations séquentielles pour la lecture de plusieurs séries d'informations enregistrées selon sensiblement une même période, sur plusieurs moyens d'enregistrement et nécessitant pour la lecture une période d'échantillonnage déterminée, caractérisé en ce qu'il comprend :
 - un circuit de calcul de phase recevant les informations lues et calculant la phase de chaque signal à partir de la lecture de deux échantillons successifs d'une même série d'informations et fournissant un signal de phase calculé, le circuit étant connectable sélectivement à différents moyens d'enregistrement ;
 - un circuit de comparaison de phase recevant chaque signal de phase calculé et le comparant à un signal d'oscillateur et fournissant un signal d'erreur ;
 - un filtre numérique recevant le signal d'erreur de phase le filtrant et fournissant un signal de contrôle d'oscillateur ;
 - un oscillateur numérique dont la fréquence et la phase sont contrôlée par le signal de contrôle d'oscillateur et fournissant un signal d'oscillateur, cet oscillateur numérique comportant un élément mémoire par série d'informations auxquelles est connectable le circuit de calcul de phase.
2. Circuit d'horloge selon la revendication 1, caractérisé en ce qu'il comporte des moyens de commutation permettant de connecter sélectivement le circuit de calcul de phase sur les différents moyens d'enregistrement, la période de commutation de ces moyens de commutation étant telle que le temps séparant deux connexions successives du circuit de calcul de phase à un moyen d'enregistrement déterminé est sensiblement égal à un multiple de la période d'échantillonnage sur la piste.
3. Circuit d'horloge selon la revendication 2, caractérisé en ce que le circuit de calcul de phase comporte un élément mémoire par série d'informations auxquelles est connectable le circuit de calcul de phase.
4. Circuit d'horloge selon la revendication 1, caractérisé en ce que le filtre numérique comporte un élément mémoire de signaux de phase calculé par série d'informations auxquelles est connectable le circuit de calcul de phase.
5. Circuit d'horloge selon la revendication 1, caractérisé en ce qu'il comporte un nombre m de groupes de n séries d'informations, le circuit de calcul de phase comporte $m.n$ éléments mémoire, l'oscillateur numérique comporte $m.n$ éléments mémoire.
6. Circuit d'horloge selon la revendication 5, caractérisé en ce que le filtre numérique comporte $m.n$ éléments mémoire.
7. Circuit d'horloge selon la revendication 5, caractérisé en ce que le filtre numérique comporte m éléments mémoire.
8. Circuit d'horloge selon l'une des revendications 3 ou 5, caractérisé en ce que le filtre numérique comporte un seul élément mémoire.
9. Circuit d'horloge selon l'une quelconque des revendications précédentes, caractérisé en ce que chaque élément mémoire comporte au moins un circuit à retard.
10. Circuit d'horloge selon la revendication 9, caractérisé en ce que dans le circuit de calcul de phase, dans le filtre numérique, et dans l'oscillateur numérique, la combinaison de plusieurs éléments mémoire est réalisée par la mise en série de plusieurs circuits à retard.
11. Circuit d'horloge selon la revendication 10, caractérisé en ce que chaque circuit à retard détermine un temps de retard correspondant à un temps de commutation séparant la connexion du circuit de calcul de phase à deux moyens d'enregistrement consécutifs.
12. Circuit selon la revendication 11, caractérisé en ce que l'oscillateur numérique (VCO) comporte une boucle à retard dont le temps de retard correspond à la période d'échantillonnage (lecture) du support.
13. Circuit selon la revendication 11, caractérisé en ce que le circuit de calcul de phase comporte un circuit à retard dont le temps de retard correspond à la période d'échantillonnage du support d'enregistrement.

14. Circuit selon la revendication 11, caractérisé en ce que le filtre numérique comporte au moins un circuit à retard dont le temps de retard correspond à la période d'échantillonnage du support.
- 5 15. Circuit selon l'une des revendications 12 à 14, caractérisé en ce que le support d'enregistrement comporte plusieurs séries d'un nombre déterminé n d'informations lues en parallèle, et chaque boucle à retard comporte un même nombre n de circuits à retard, la somme des retards des circuits d'une boucle à retard étant égal à la période d'échantillonnage.
- 10 16. Circuit selon l'une des revendications 12 à 14, caractérisé en ce que le support d'enregistrement comporte une série d'un nombre déterminé n d'informations, le filtre numérique comporte un circuit à retard correspondant à la période d'échantillonnage du support d'enregistrement ; l'oscillateur (VCO) et le circuit de calcul de phase comportent chacun ledit nombre déterminé n de circuit à retard dont la somme des retards correspond à la période d'échantillonnage du support d'enregistrement.
- 15 17. Circuit selon la revendication 15, caractérisé en ce qu'il comporte un seul circuit d'horloge commun aux différentes séries d'informations ; le circuit de calcul de phase et l'oscillateur comportent chacun un nombre de circuits à retards égal au nombre de séries d'informations n multiplié par le nombre d'informations n contenues dans une série, la durée totale du retard de chacun de ces ensembles de circuits à retard étant égal à la période d'échantillonnage des informations à lire ; le filtre numérique comporte un nombre
20 de circuits à retard égal au nombre d'informations contenues dans une série.
18. Circuit selon la revendication 1, caractérisé en ce que les différents moyens d'enregistrement sont réalisés sur un même support d'enregistrement.
- 25 19. Circuit selon la revendication 18, caractérisé en ce que le support d'enregistrement est une bande magnétique.

30

35

40

45

50

55

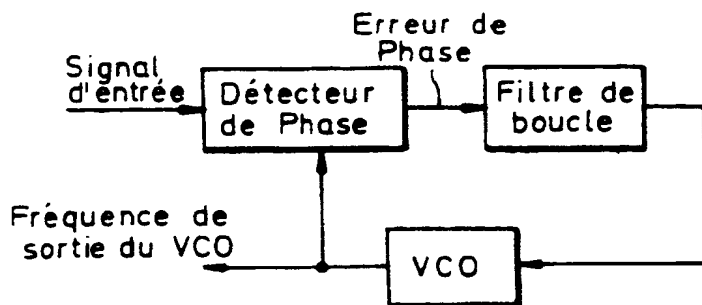


FIG.1a

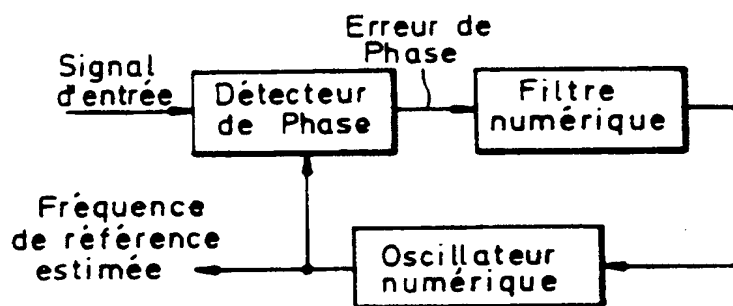


FIG.1b

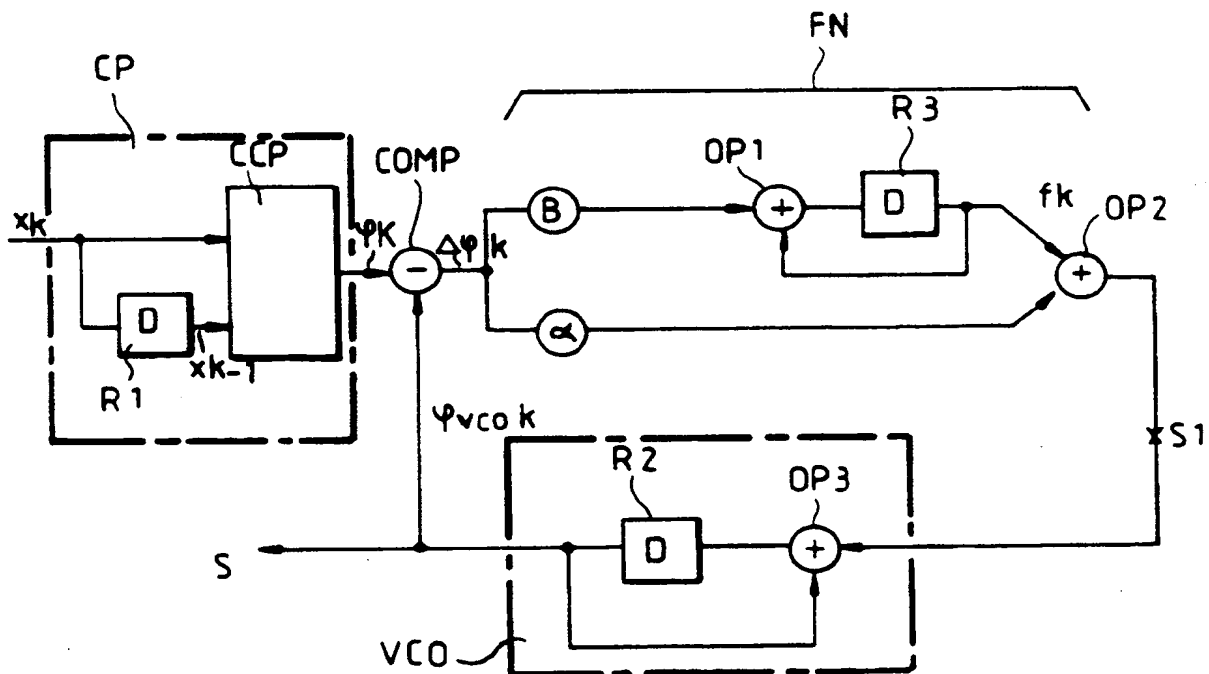


FIG. 2

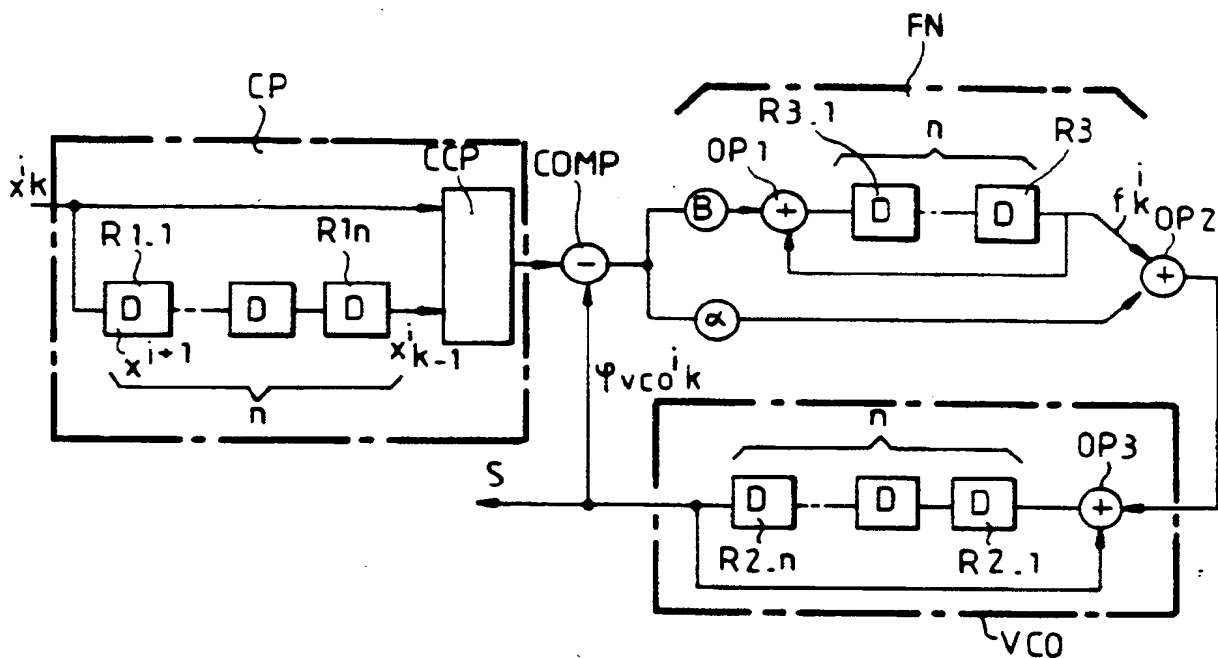


FIG. 3

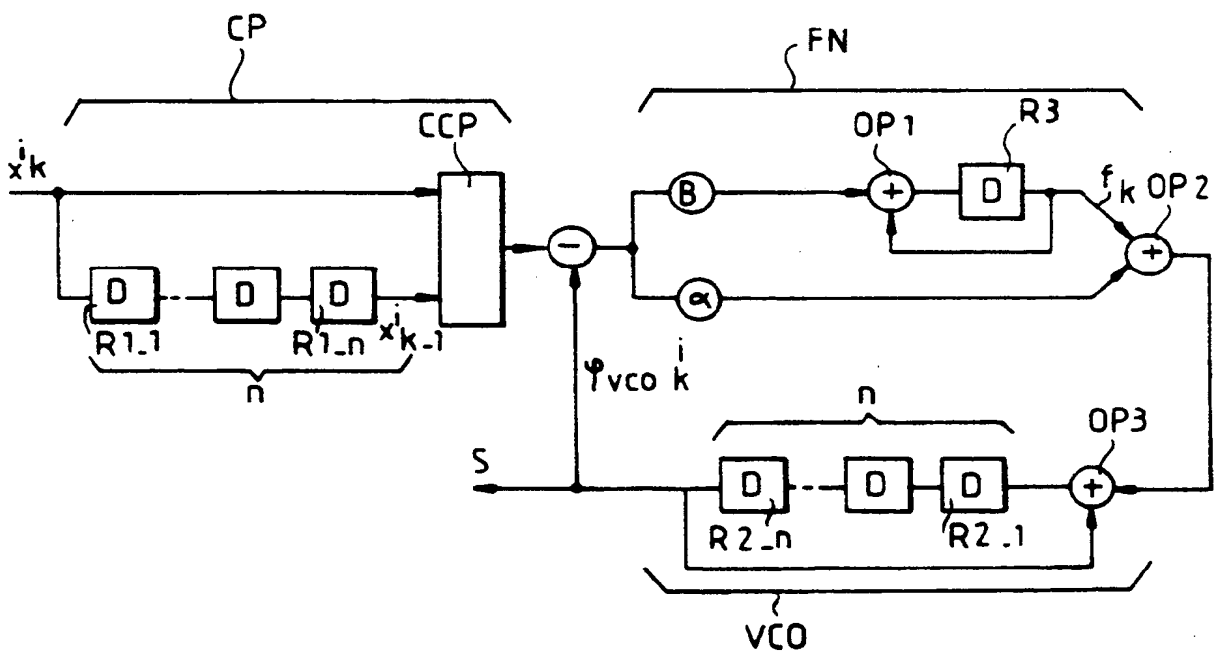


FIG. 4

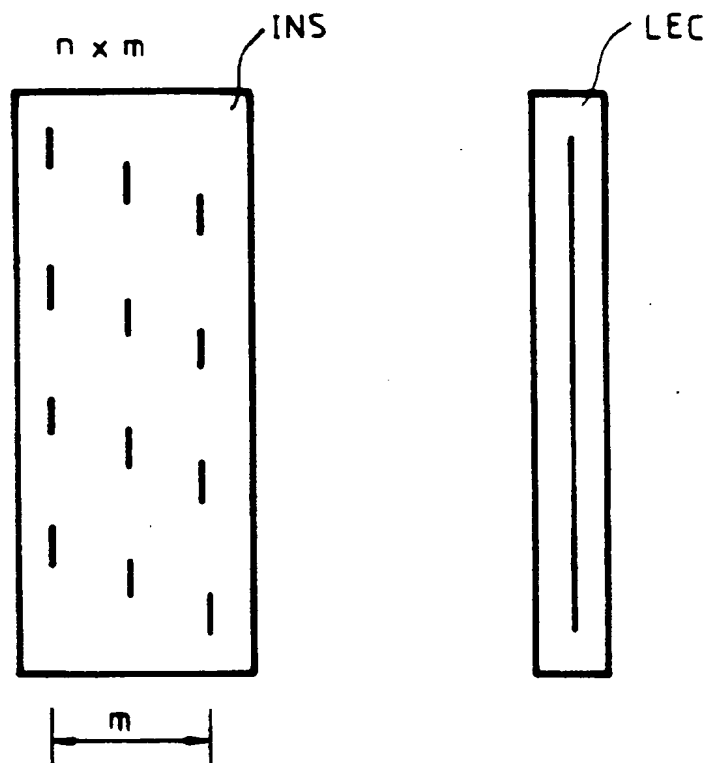


FIG.5

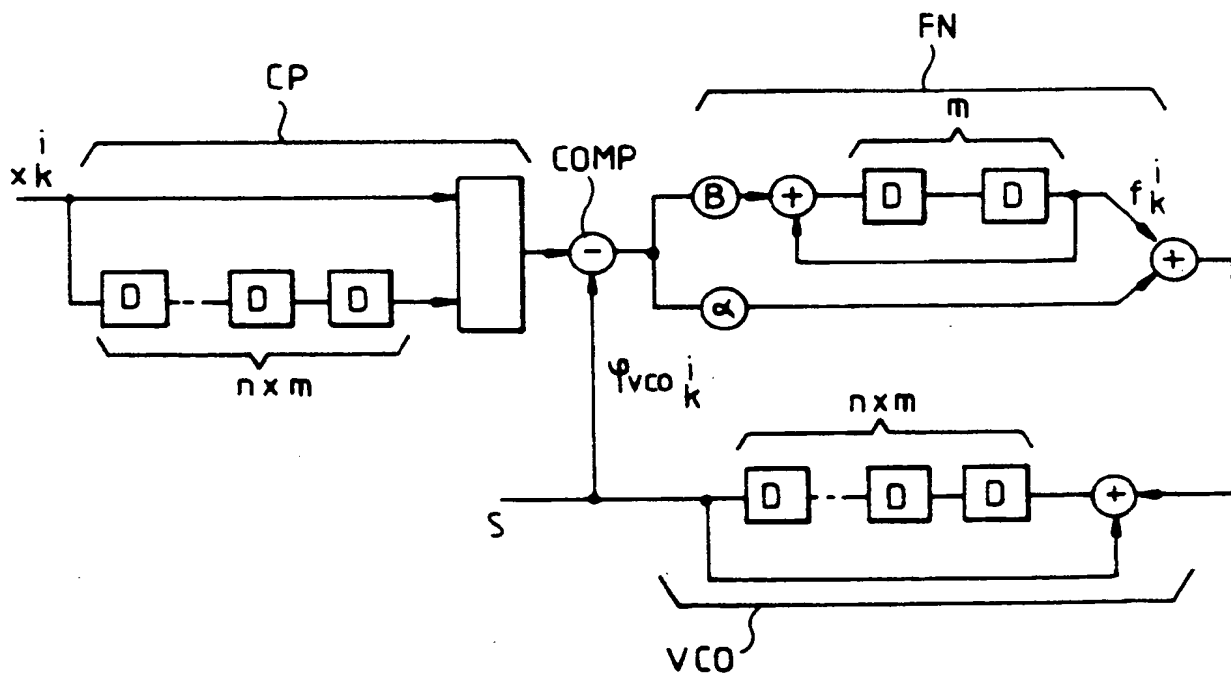


FIG. 6



Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande

EP 92 40 3413

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl.5)
A	WO-A-8 400 435 (STORAGE TECHNOLOGY CORPORATION) * page 3, ligne 15 - page 4, ligne 24; figure 2 *	1,5-7,15	G11B20/14 H03L7/06
A	EP-A-0 274 704 (TANDBERG DATA A/S) * abrégé; figure 5 *	1-3,9	
A	EP-A-0 239 413 (RCA CORPORATION) * colonne 7, ligne 47 - colonne 9, ligne 43; figure 3 *	1	
A	IBM TECHNICAL DISCLOSURE BULLETIN. vol. 21, no. 6, Novembre 1978, NEW YORK US page 2246 D. L. AHONEN 'Bit synchroniser using matched delays' * le document en entier *		
A	US-A-4 731 676 (BERLEKAMP) * colonne 4, ligne 14 - ligne 35; figure 1 *		DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
A	PATENT ABSTRACTS OF JAPAN vol. 9, no. 195 (P-379)(1918) 13 Août 1985 & JP-A-60 061 959 (TOSHIBA K.K.) 9 Avril 1985 * abrégé *		G11B H03L
Le présent rapport a été établi pour toutes les revendications			
Liste de la recherche LA HAYE		Date d'achèvement de la recherche 31 MARS 1993	Examineur PEETERS M.M.G.
CATEGORIE DES DOCUMENTS CITES		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

EPO FORM 1503 01/82 (P0402)